

나노 소자 및 시스템 연구실 (Nano Device & System Lab.)

▶ 위치: IT-3호관 202호

▶ 전화: 053-950-5513, 053-940-8613

▶ E-mail: imkang@ee.knu.ac.kr

▶ 홈페이지: <https://sites.google.com/site/knunds1304/>

01

연구실구성원

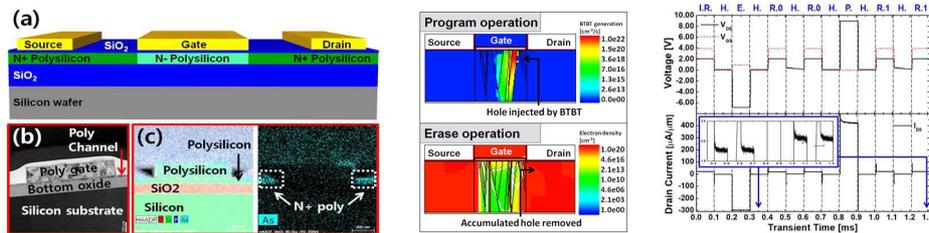
- 지도교수 : 강인만 교수님
- 박사과정 : 이상호, 박진
- 석사과정 : 김건욱, 강가연, 허준혁, 전소라
- 연 수 생 : 김민석, 안해진, 배승지

02

연구분야

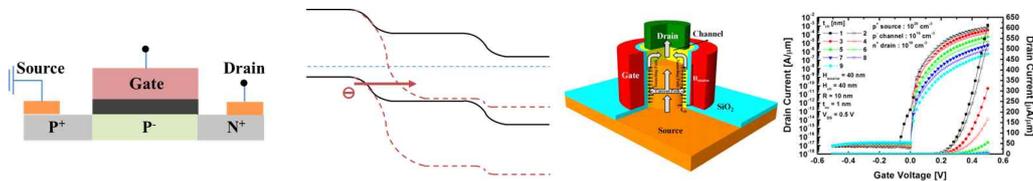
□ Capacitorless 1T-DRAM (One Transistor-Dynamic Random Access Memory)

- 기존 DRAM의 고집적화/대용량화를 위한 차세대 1T-DRAM에 대한 설계 및 특성 분석 연구
 - : Poly-Si 를 이용한 1T-DRAM 설계 및 공정제작연구 진행
 - : 다양한 동작, 메커니즘을 이용한 1T-DRAM 구조 설계 및 특성분석 진행



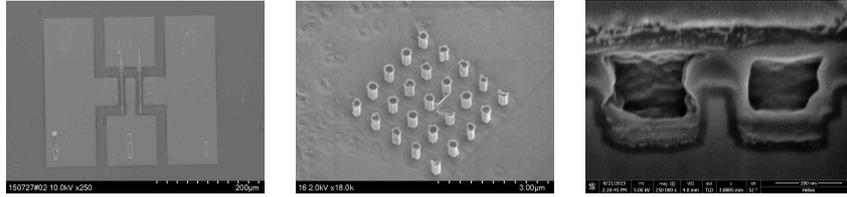
□ 저전력 반도체 소자 (Low Power Transistors)

- Tunneling Field Effect Transistor (TFET)의 설계 및 특성 분석 연구
 - : 기존 MOSFET의 한계를 극복가능한 차세대 소자 중 하나로, 낮은 누설전류 및 높은 스위칭 특성을 통해 미래 시스템 반도체 분야의 핵심 소자
- Metal oxide semiconductor Field Effect Transistor (MOSFET), Junctionless Field Effect Transistor (JLFET)의 설계 및 특성 분석 연구
 - : 기존 MOSFET의 특성 분석 및 설계 연구와 JLFET 등의 차세대 저전력 반도체 소자의 연구
- 3차원 반도체 소자(Fin-FET, Nanowire)의 설계 시뮬레이션 및 공정 연구
 - : 다양한 종류의 3차원 반도체 소자 구조를 적용하여 차세대 반도체 소자 관련 연구 진행 중



□ 고성능 반도체 소자 (High Performance Transistors)

- III-V족 화합물 반도체 기반 전자 소자의 설계 시뮬레이션 및 공정 연구
 - : 기존 Silicon을 대체 가능한 III-V족 화합물 반도체를 이용한 단일 접합 및 다중 접합 반도체 소자 연구 진행
- 질화갈륨(GaN) 기반 고전력/초고주파 반도체 소자 설계 및 공정 연구
 - : 고전력 특성을 지니는 질화갈륨 기반 반도체 물질을 이용한 고성능 반도체 소자의 설계 및 공정 연구



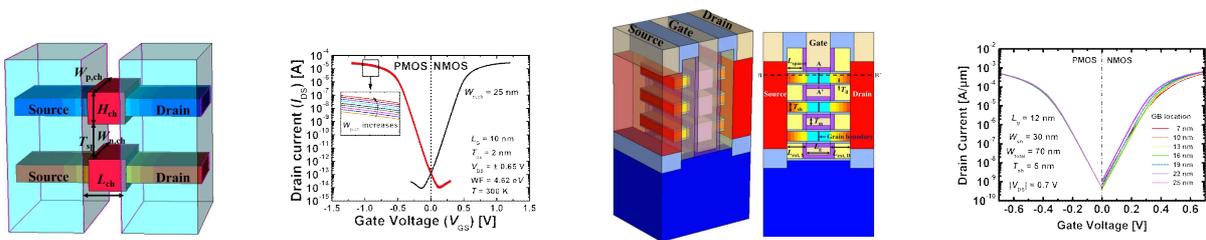
□ Gate-all-around (GAA) 구조 기반 나노 transistor 개발

- Poly-Si을 이용한 nanosheet 구조 MOSFET 설계 및 특성 분석 연구

: 기존 planar 소자의 short channel effect에 의한 성능 저하를 극복하기 위해 GAA구조 기반 MOSFET 설계 및 최적화 연구

- Poly-Si을 이용한 complementary FET (CFET) 구조 설계 및 특성 분석 연구

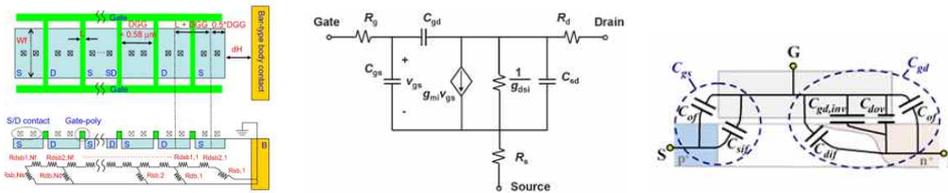
: 기존 CMOS inverter를 대체할 수 있는 소자로서 chip density를 증가시키기 위해 NMOS위에 PMOS가 적층된 구조를 이용한 nanosheet 기반 CFET 설계 및 최적화 연구



□ RF (Radio Frequency) Modeling

- 고성능, 고신뢰성 RF 특성을 획득가능한 RF 반도체 소자의 설계 및 분석 연구

- 반도체 소자의 등가회로 모델링 및 시뮬레이션을 통한 RF model의 분석 및 정확도 향상 연구



03

주요 수행과제 및 최근 5년간 연구 논문

□ 주요 수행과제

- “미래 모빌리티 산업시대 초연결 지능형 자동차 구현을 위한 동종성장 무결함 GaN-on-GaN 에피 성장 기술 및 초고전력/초고속 전자소자 기술개발”, 2020년 3월 1일 ~ 2025년 2월 28일, 한국연구재단(과학기술정보통신부) [중견연구과제]
- “Nanowire 소자의 전기적 특성 및 소자 활용방안”, 2020년 11월 1일 ~ 2024년 12월 31일 (38개월), 삼성전자(산업체)
- “웨어러블 스파이킹 뉴럴 네트워크 시스템 구현을 위한 유기물 기반 고집적 인공 시냅스 어레이 개발”, 2021년 3월 1일 ~ 2024년 1월 31일 (35개월), 한국연구재단(과학기술정보통신부)
- “2T DRAM 기반 저전력/고성능 PIM 셀, 집적회로 및 아키텍처 개발”, 2022년 4월 1일~2024년 12월 31일 (33개월), 한국연구재단(과학기술정보통신부)
- “차세대 SoC를 위한 폴리 실리콘 기반의 메모리/비메모리 반도체소자 기술개발”, 2017년 7월 1일 ~ 2021년 12월 31일 (54개월), 한국산업기술평가관리원(산업통상자원부)

□ 연구 논문

- “Capacitorless one-transistor dynamic random access memory based on double-gate GaAs junctionless transistor”, Japanese Journal of Applied Physics, 2017 [SCIE]
- “1/f-Noise in AlGaIn/GaN Nanowire Omega-FinFETs”, IEEE Electron Device Letters, 2017 [SCIE]
- “A Novel Analysis of Lgd Dependent-1/f Noise in In_{0.08}Al_{0.92}N/GaN”, IEEE Electron Device Letters, 2018 [SCIE]
- “Capacitorless one-transistor dynamic random-access memory based on asymmetric double-gate

- Ge/GaAs-heterojunction tunneling field-effect transistor with n-doped boosting layer and drain-underlap structure", Japanese Journal of Applied Physics, 2018 [SCIE]
- "Performance comparison between p-i-n and p-n junction tunneling field-effect transistors", Japanese Journal of Applied Physics, 2018 [SCIE]
 - "Design and analysis of logic inverter using antimonide-based compound semiconductor junctionless transistor", Applied Physics A, 2019 [SCIE]
 - "A polycrystalline-silicon dual-gate MOSFET-based 1T-DRAM using grain boundary-induced variable resistance", Applied Physics Letters, 2019 [SCIE]
 - "Fabrication and Characterization of a Thin-Body Poly-Si 1T DRAM with Charge-Trap Effect", IEEE Electron Device Letters, 2019 [SCIE]
 - "Fabrication of AlGaIn/GaN Fin-Type HEMT Using a Novel T-Gate Process for Improved Radio-Frequency Performance", IEEE Access, 2020 [SCIE]
 - "Polycrystalline-Silicon-MOSFET-Based Capacitorless DRAM With Grain Boundaries and Its Performances", IEEE Access, 2021 [SCIE]
 - "Design of Capacitorless DRAM Based on Polycrystalline Silicon Nanotube Structure", IEEE Access, 2021 [SCIE]
 - "Effect of Work-function Variation on Transfer Characteristics and Memory Performances for Gate-all-around JLFET based Capacitorless DRAM", Journal of Semiconductor Technology and Science, 2021 [SCIE]
 - "Design and Analysis of DC/DC Boost Converter using Vertical GaN Power Device based on Epitaxially Grown GaN-on-sapphire", Journal of Semiconductor Technology and Science, 2021 [SCIE]
 - "Electrical Performances of GaN-based Vertical Trench MOSFETs with Cylindrical and Hexagonal Structure", Journal of Semiconductor Technology and Science, 2021 [SCIE]
 - "Analysis for DC and RF Characteristics Recessed-Gate GaN MOSFET Using Stacked TiO₂/Si₃N₄ Dual-Layer Insulator", Materials, 2022 [SCIE]
 - "Fabrication and Performances of Recessed Gate AlGaIn/GaN MOSFETs with Si₃N₄/TiO₂ Stacked Dual Gate Dielectric", Journal of Semiconductor Technology and Science, 2022 [SCIE]
 - "Analysis and Optimization for Characteristics of Vertical GaN Junctionless MOSFETs Depending on Specifications of GaN Substrates", Journal of Electrical Engineering & Technology, 2022 [SCIE]
 - 현재, 2022년 9편, 2021년 16편, 2020년 14편, 2019년 14편, 2018년 8편, 2017년 10편 등의 국제 저널 실적을 배출하였으며, 매년 10편 이상의 국제 저널을 출판 중. 총 200편 이상의 국제 저널(SCIE)/학술 대회 발표 실적 보유 중.

04

특허 및 등록출원 현황

□ 특허 출원 및 등록

- "듀얼게이트 모스펫 기반 메모리 소자 및 제조 방법", 10-2086038-00-00, 2020 등록
- "반도체 소자 및 그 제조방법", 10-1922936-00-00, 2018 등록
- "디램 셀 메모리 소자, 메모리 어레이 및 메모리 소자의 제조 방법", 10-2086060-00-00, 2020 등록
- "반도체 소자 제조방법", 10-2045321-00-00, 2019 등록
- "디램 셀 메모리 소자", 10-2029196-00-00, 2019 등록
- "디램 셀 소자 및 그 제조방법", 10-1899793-00-00, 2018 등록
- "실리콘 기판에 집적가능한 화합물 터널링 트랜지스터", 10-2012-0141068, 2014 등록
- "저항 추출 장치, 저항 추출 방법 및 컴퓨터 판독가능 기록매체", 10-1363259-00-00, 2013 등록
- "Silicon-Compatible Compound Junctionless Field Effect Transistor", US8878251B2, 2014 등록
- "Compound Tunneling Field Effect Transistor integrated on Silicon", US 9136363B2, 2015 등록

05

졸업생 진로 현황

취업 구분				
산업체 및 연구소				
교수	삼성	LG	기타	국공립연구소
1	5	2	6	5