

지능형 3차원 집적회로 연구실 (I3D VLSI Laboratory)

▶ 위치: IT-2호관 242호

▶ 전 화: 053-950-5535

▶ E-mail: tsong@knu.ac.kr

▶ 홈페이지: <https://i3dvlsi.wordpress.com/>

01

연구실구성원

- 지도교수 : 송대건 교수님
- 석사과정 : 김현우, 이현동, 김종범, 고윤정, 한민석, 신윤정, 이현수
- 학부 연구생: 김준혁, 김성훈, 권은서, 김현진, 박상길, 김형표, 허인혜, 최은진, 박한목, 김지용

02

연구분야

□ Ternary Logic Circuit Design for Future Computing

3진법 체계는 현재 사용하고 있는 데이터 수 체계인 2진법의 한계를 극복할 수 있는 기술로, 2진법 대비 더 많은 정보량을 처리할 수 있다. 따라서 3진법 기반의 차세대 컴퓨팅을 구현하기 위해, 본 연구실은 Memristor, T-CMOS, depletion FET, thin film transistor 등 다양한 소자들을 통하여 기존 2진 논리를 3진 논리로 대체하기 위한 다양한 논리 회로를 설계한다. 또한 3진법 기반의 연산을 구현하고 이를 합성, P&R, signoff 할 수 있는 방법론을 개발하여, 차세대 지능형 반도체 및 시스템 반도체의 발전에 기여하고자 노력하고 있다.

□ Future Transistor Technologies

무어의 법칙의 한계로 planar-MOSFET을 대신할 다양한 소자 (FinFET, GAAFET, CFET)들이 대두되고 있다. 이들 모두 단일 소자 성능을 향상시키지만 표준 셀 (standard cell) 레이아웃의 크기를 감소시켜야 하는 문제를 야기한다. 또한, 셀 레이아웃의 감소는 디지털 칩 전체에 큰 영향을 미치게 된다. 따라서, 본 연구실은 대두되고 있는 다양한 소자들의 표준 셀 라이브러리 (LIB)를 제작하여 디지털 VLSI에 미치는 영향을 분석하고, 발생할 수 있는 여러 이슈들에 대해 선제적으로 대응하고자 노력하고 있다.

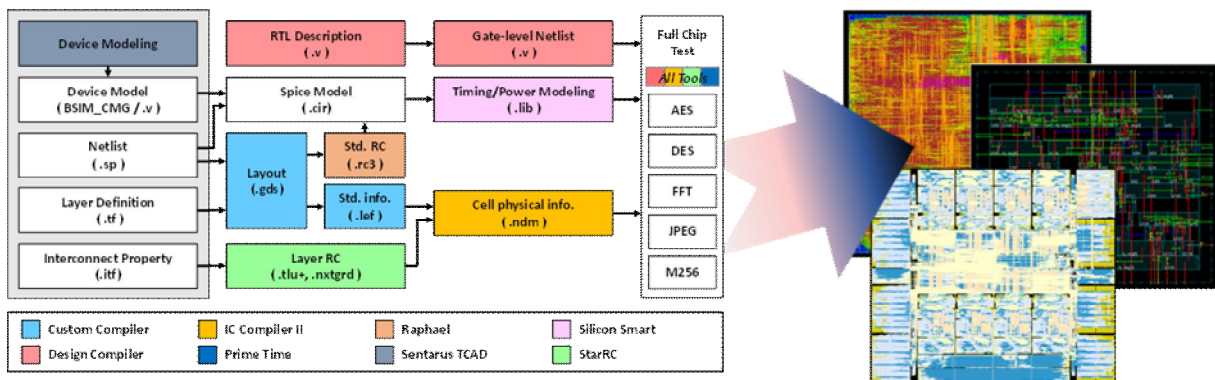


그림 1 (좌)Standard cell library design 및 RTL-GDSII flow map, (우) block-level implementation

□ Novel Computing Architectures for Processing in-Memory

기존 폰 노이만 아키텍처는 제한된 버스를 통해 데이터의 이동이 이루어진다. 이는 다퍼닝, 빅데이터 처리 등 수 많은 데이터 이동 및 연산을 필요로 하는 작업에 대해 메모리 병목현상을 유발한다. 메모리 내에서 연산을 수행하는 PIM(Processing in-Memory) 기술은 프로세서에서 이루어지던 연산을 분산하여 대규모 다퍼닝 연산을 처리하기 위한 새로운 방법으로 주목받고 있습니다.

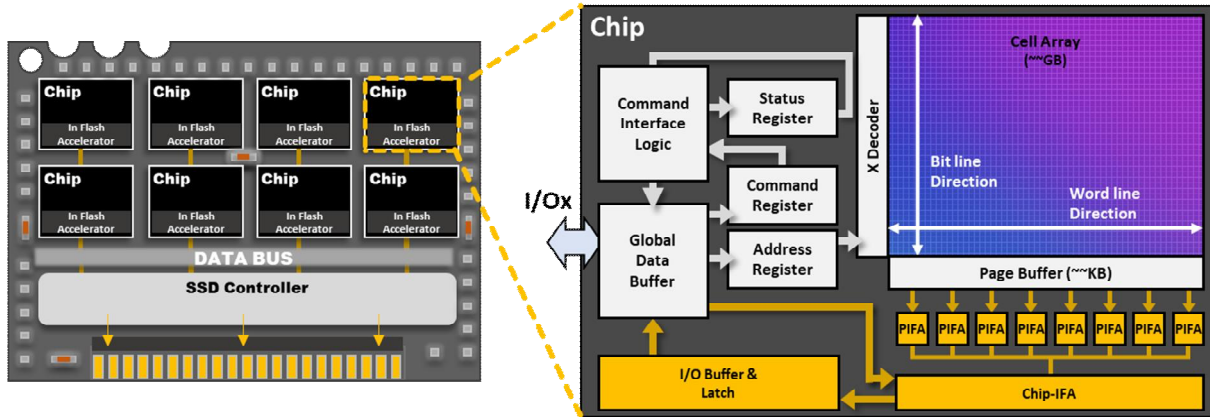


그림 2 (좌) 낸드 플래시 칩에 대한 모식도, (우) 낸드 플래시 인공지능 가속 시스템

03

주요 수행과제 및 최근 5년간 연구 논문

□ 주요 수행과제

- A Ternary-based Processing-in-Memory (PIM) Processor for Ultra Low-power Edge-device Computing / 한국 연구재단
- PIM 최적화를 위한 2.5D/3D IC 기반 인공지능 플랫폼 개발 / 삼성전자
- 엣지 디바이스를 위한 사용자 중심의 자동화된 저항성 메모리 기반 초저전력 ACiM (Analog Computing in Memory) AI 가속기 및 소프트웨어 개발 / 산업기술평가원 + 반도체연구조합

□ Journal

- Jonghyun Ko, Jongbeom Kim, Taegam Jeong, Jaehoon Jeong, and Taigon Song, "Exploration of Ternary Logic Using T-CMOS for Circuit-level Design," IEEE Transactions on Circuits and Systems I (TCAS I), 2023, accepted.
- Taehak Kim, Jaehoon Jeong, Seungmin Woo, Jeonggyu Yang, Hyunwoo Kim, Ahyeon Nam, Changdong Lee, Jinmin Seo, Minji Kim, Siwon Ryu, Yoonju Oh, and Taigon Song, "NS3K : A 3 nm Nanosheet FET Standard Cell Library Development and Its Impact," IEEE Transactions on Very Large Scale Integration Systems (TVLSI), 2023.
- Eunbin Park and Taigon Song, "Complementary FET (CFET) Standard Cell Design for Low Parasitics and Its Impact on VLSI Prediction at 3nm Process," IEEE Transactions on Very Large Scale Integration Systems (TVLSI), 2023.
- Jeonggyu Yang, Hyundong Lee, Jae Hoon Jeong, Tae Hak Kim, Sin-Hyung Lee, and Taigon Song, "Circuit-level Exploration of Ternary Logic Using Memristors and MOSFETs," IEEE Transactions on Circuits and Systems I (TCAS I), 2022.
- Taigon Song, "Many-tier Vertical GAAFET (V-FET) for Ultra-miniaturized Standard Cell Designs Beyond 5 nm," IEEE Access, 2020
- Taigon Song, "Opportunities and Challenges in Designing and Utilizing Vertical Nanowire FET (V-NWFET) Standard Cells for Beyond 5 nm," IEEE Transactions on Nanotechnology 2019.

□ Conference

- HyunWoo Kim, Hyundong Lee, Yunjeong Go, Jongbeom Kim, Seungwon Baek, Jaehong Song, Junhyeon Kim, Minyoung Jung, Hyodong Kim, Seongju Kim, and Taigon Song, "Cache Register Sharing Structure for Channel-level Near-memory Processing in NAND Flash Memory," 24th International Symposium on Quality Electronic Design (ISQED), 2023
- MinSeok Han, Jiwan Kim, Donggeon Kim, Hyunuk Jeong, Gilho Jung, Myeongwon Oh, Hyundong Lee, Yunjeong Go, HyunWoo Kim, Jongbeom Kim, and Taigon Song, "HFGCN: High-speed and Fully-optimized GCN Accelerator," 24th International Symposium on Quality Electronic Design (ISQED), 2023
- HyunWoo Kim, Seungwon Baek, Jaehong Song, Junhyeon Kim, Minyoung Jung, Hyodong Kim, Seongju Kim, and Taigon Song, "A Novel Processing Unit and Architecture for Process-In Memory (PIM) in NAND Flash Memory," IEEE 19th International SoC Conference (ISOCC), 2022 (IEEE CAS Seoul Chapter Award)
- Jae Hoon Jeong, Jonghyun Ko, and Taigon Song, "A Study on Optimizing Pin Accessibility of Standard Cells in the Post-3 nm Node," ACM/IEEE International Symposium on Low Power Electronics and Design (ISLPED), 2022
- Jongbeom Kim, Yeji Kim, Hyundong Lee, Jihyeong Yun, Hyeseung Jang, Huijeen Jin, Juhee Park, Bongjun Kim, and Taigon Song, "A Convenient Implementation of the Ternary Logic: Using Anti-Ambipolar Transistors and PMOS Based on Printed Carbon Nanotubes.," IEEE International Symposium on Multiple-Valued Logic (ISMVL), 2022
- Hyundong Lee, Hyeseung Jang, Jihyeong Yun, Huijeen Jin, Jongbeom Kim, Yeji Kim, and Taigon Song, "Ternary Competitive to Binary: A Novel Implementation of Ternary Logic Using Depletion-mode and Conventional MOSFETs," IEEE International Symposium on Multiple-Valued Logic (ISMVL), 2022

04

특허 및 등록출원 현황

□ 국내특허 출원 및 등록

- T-CMOS 기반의 3차 논리회로 설계 방법, 이를 수행하기 위한 기록 매체 및 장치 /10-2488540/ 2023.01.10
- 초저전력 소비를 위한 스파이킹 뉴럴 네트워크(SNN) 하드웨어의 동작 방법, 이를 수행하기 위한 회로/10-2515089/ 2023.03.23
- 메모리스터와 MOSFET을 이용한 3진법 논리 설계 방법, 이를 수행하기 위한 기록 매체 및 장치/10-2521515/ 2023.04.10
- PMOS 및 AAT를 이용한 3진 논리 게이트 설계 방법 및 이를 수행하기 위한 장치 및 기록 매체 /10-2022-0090304/ 2022.07.21.
- 메모리스터를 이용한 펄스 발생 방법, 이를 수행하기 위한 기록 매체 및 장치 /10-2022-0090302/ 2022.07.21
- 공핍모드 및 다중 문턱전압을 갖는 MOSFET을 사용하는 3진 논리 회로 설계 방법 및 이를 수행하기 위한 장치 및 기록 매체 /10-2022-0090310/ 2022.07.21.

□ 국제특허 출원 및 등록

- METHOD OF DESIGNING TERNARY LOGIC CIRCUIT USING MOSFETS HAVING DEPLETION-MODE AND MULTI-VTHS, AND DEVICE AND RECORDING MEDIUM FOR PERFORMING THE SAME/US 18/096,344/2023.1.12.

05

졸업생 진로 현황

취업 구분					
산업체 및 연구소				진학	
삼성	LG	기타	유관산업체 및 국공립연구소	국내	국외
5	1	3	1	2	1