

지능형 3차원 집적회로 연구실 (I3D VLSI Laboratory)

▶ 위치: IT-2호관 242호

▶ 전 화: 053-950-5535

▶ E-mail: tsong@knu.ac.kr

▶ 홈페이지: <https://www.knu.ac.kr/~i3d/>

01

연구실구성원

- 지도교수 : 송대건 교수님
- 석사과정 : 한민석, 이현수, 신윤정, 김성훈, 박한목, 오승환,
- 학부 연구생: 김휘룡, 홍성민, 김현진, 김형표, 박상길, 최은진

02

연구분야

- Ternary Logic Circuit Design for Future Computing
3진법 체계는 현재 사용하고 있는 데이터 수 체계인 2진법 체계를 대체할 수 있다. 따라서 3진법 기반의 차세대 컴퓨팅을 위한 depletion FET, thin film transistor 등 다양한 소자들을 연구하고 있다. 또한 3진법 기반의 연산의 구현을 연구하고 있다.

://i3dvlsi.wordpress.com/

최영훈

진, 허인혜, 정효춘, 최준환, 진기주, 선민균, 손호진, 권용진

의 한계를 극복할 수 있는 기술로, 2진법 대비 더 많은 정보량
프팅을 구현하기 위해, 본 연구실은 Memristor, T-CMOS,
을 통하여 기존 2진 논리를 3진 논리로 대체하기 위한 다양한
고 이를 한선 P&R Sign-off 한 스 이는 바버로은 개박하여

차세대 지능형 반도체 및 시스템 반도체의 발전에 기여하고

□ Future Transistor Technologies

무어의 법칙의 한계로 planar-MOSFET을 대신할 다양한 이들 모두 단일 소자 성능을 향상시키지만 표준 셀 (standard cell)이다. 또한, 셀 레이아웃의 감소는 디지털 칩 전체에 큰 영향 준다. 소자들의 표준 셀 라이브러리 (LIB)를 제작하여 디지털 VLSI 설계에 대해 선제적으로 대응하고자 노력하고 있다.

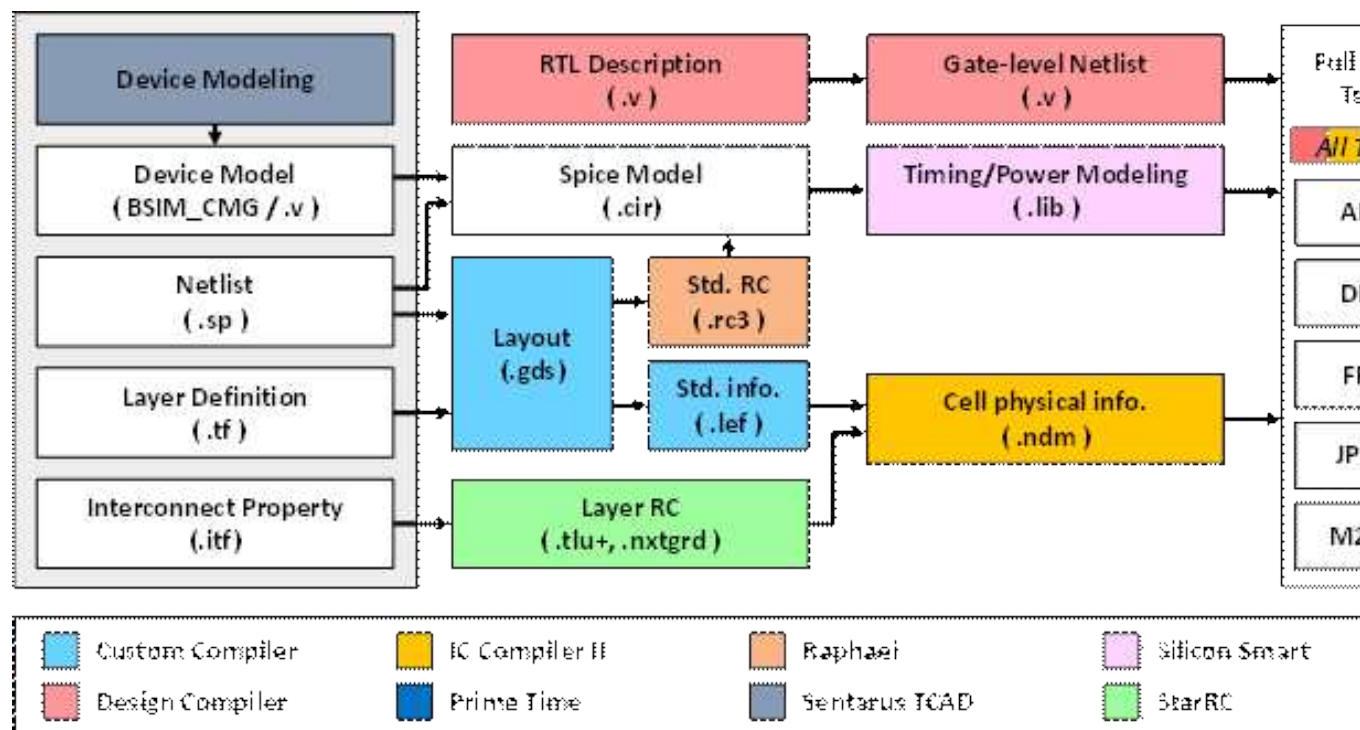
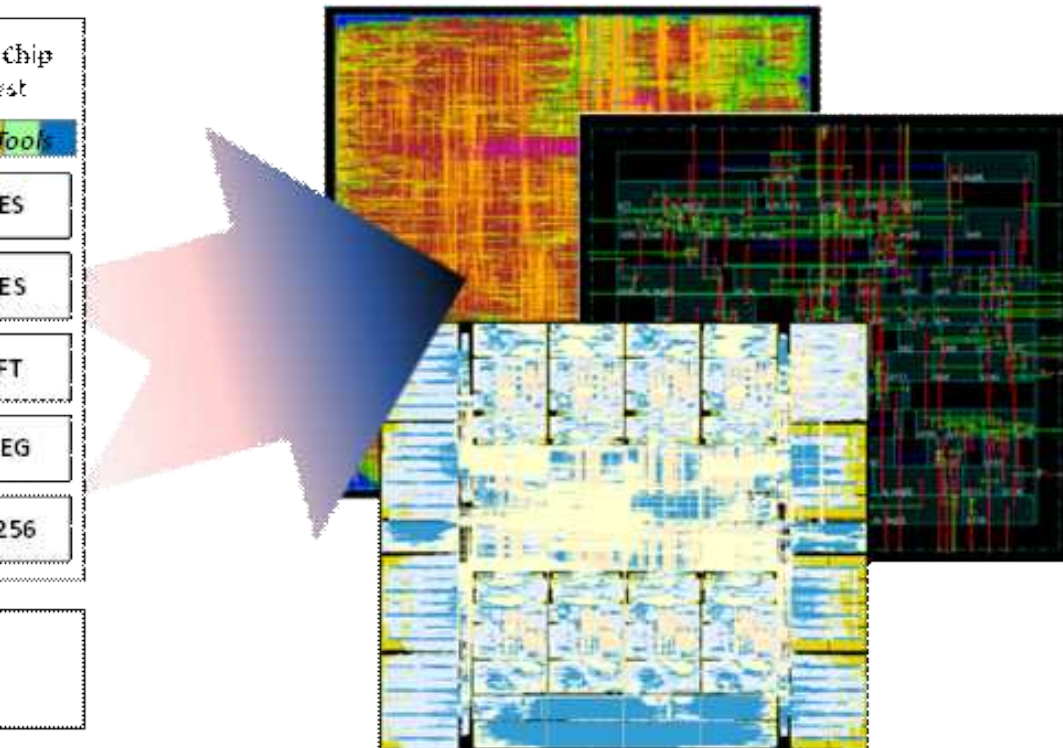


그림 1 (좌)Standard cell library design 및 RTL-GDSII flow

이들 통합, T&N, Sign-off 등 여러 통합을 개발하여, 자 노력하고 있다.

소자 (FinFET, GAAFET, CFET, FSFET)들이 대두되고 있다. (standard cell) 레이아웃의 크기를 감소시켜야 하는 문제를 야기한 양을 미치게 된다. 따라서, 본 연구실은 대두되고 있는 다양한 SI에 미치는 영향을 분석하고, 발생할 수 있는 여러 이슈들에



w map, (우) block-level implementation

□ Artificial Intelligence in VLSI design

AI와 VLSI 설계를 융합하여 차세대 시스템 혁신이 주목받고 있으며, 성능 최적화와 설계 자동화를 연구하며, 고성능 저전력 시스템 설계 정확성과 효율성을 높이고, 자동화를 통해 설계 시간을 단축시키는 설계기술이 필요한 다양한 분야에 대한 도전을 진행하며 VLSI

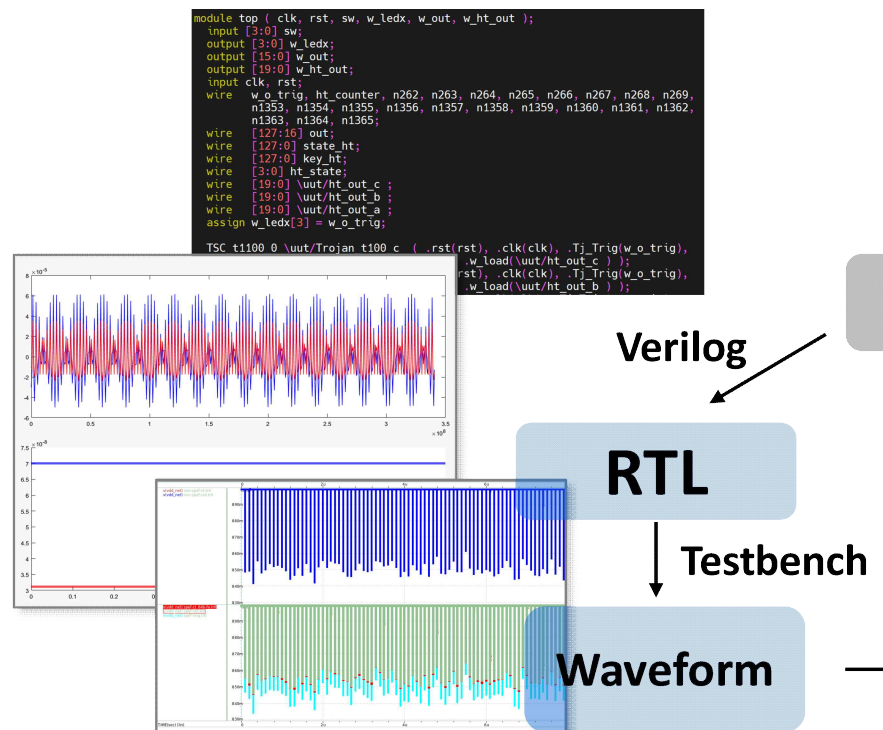


그림 2. Flowchart at the

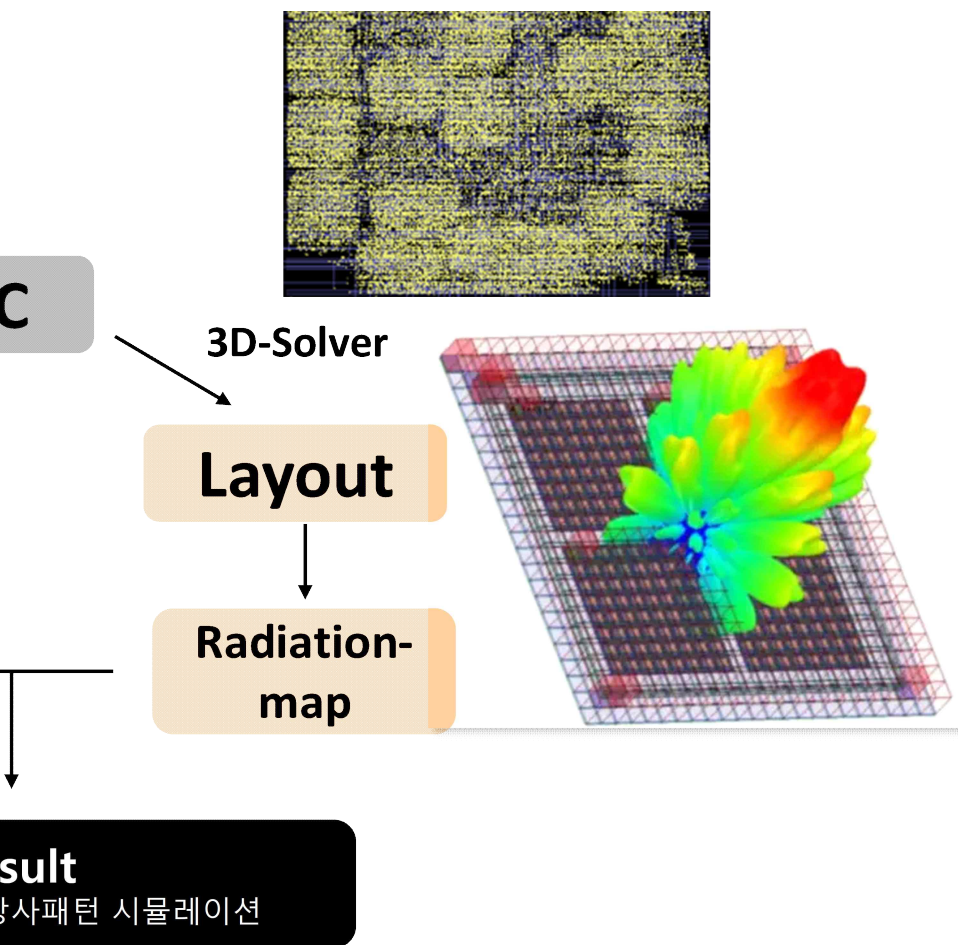
03

주요 수행과제 및 최근 5년간 연구 논문

□ 주요 수행과제

- A Ternary-based Processing-in-Memory (PIM) Pro

있다. 따라서 VLSI 설계의 각 단계에 머신러닝 기법을 도입해 개발에 기여하고 있다. 또한, CAD 도구에 AI를 통합하여 만족하는 데 주력한다. 이와 함께, 하드웨어 보안 등 반도체와 AI가 연동될 수 있도록 연구한다.



the VLSI-level with AI

한국 연구재단

- PIM 최적화를 위한 2.5D/3D IC 기반 인공지능 플랫폼
- 엣지 디바이스를 위한 사용자 중심의 자동화된 저장 (Memory) AI 가속기 및 소프트웨어 개발 / **산업기술평가**

□ Journal

- J. Jeong, Y. Shin, H. Lee, J. Ko, J. Kim and T. Song, "Time-Efficient Verification for Enhanced Pin Access," *Transactions on Circuits and Systems I(TCAS I)*, 2023.
- J. Kim, H. Lee, J. Ko, B. Kim and T. Song, "T3L: Ternary Logic Based on Inkjet-Printed Anti-Ambipolar Transistors," *Transactions on Circuits and Systems I(TCAS I)*, 2023.
- Jonghyun Ko, Jongbeom Kim, Taegam Jeong, Jaehoon Jeong, "Ternary Logic Using T-CMOS for Circuit-level Design," *IEEE Transactions on Circuits and Systems I(TCAS I)*, 2023.
- Taehak Kim, Jaehoon Jeong, Seungmin Woo, Jeonghyun Ko, Lee, Jinmin Seo, Minji Kim, Siwon Ryu, Yoonju Cho, "Standard Cell Library Development and Its Impact on VLSI Design," *Systems (TVLSI)*, 2023.
- Eunbin Park and Taigon Song, "Complementary FET-Based Ternary Logic: Its Impact on VLSI Prediction at 3nm Process," *Systems (TVLSI)*, 2023.
- Jeonggyu Yang, Hyundong Lee, Jae Hoon Jeong, "Circuit-level Exploration of Ternary Logic Using T-CMOS," *Circuits and Systems I (TCAS I)*, 2022.

개발 / 삼성전자

성 메모리 기반 초저전력 ACiM (Analog Computing in
가원 + 반도체연구조합

l T. Song, "Design Technology Co-Optimization and
ssibility in the Post-3-nm Node," in IEEE Access 2024.

: A Practical Implementation of Tri-Transistor Ternary
ransistors and CMOSs of Thin-Film Structure," IEEE
2023

noon Jeong, and Taigon Song, "Exploration of Ternary
EEE Transactions on Circuits and Systems I (TCAS I),

nggyu Yang, Hyunwoo Kim, Ahyeon Nam, Changdong
h, and Taigon Song, "NS3K : A 3 nm Nanosheet FET
et," IEEE Transactions on Very Large Scale Integration

ET (CFET) Standard Cell Design for Low Parasitics and
' IEEE Transactions on Very Large Scale Integration

g, Tae Hak Kim, Sin-Hyung Lee, and Taigon Song,
ng Memristors and MOSFETs," IEEE Transactions on

- Taigon Song, “Many-tier Vertical GAAFET (V-FET) at 5 nm,” IEEE Access, 2020
- Taigon Song, “Opportunities and Challenges in Designing Standard Cells for Beyond 5 nm,” IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2023

□ Conference

- Yunjeong Shin, Daehyeok Park, Dohun Koh, Donghyun Lee, Hyunsoo Lee and Taigon Song, “FS2K: a Fork-Split Prediction for 2nm and Beyond,” IEEE International Symposium on Quality Electronic Design (ISQED), 2023
- Seungmin Woo, Hyunsoo Lee, Yunjeong Shin, Minseung Shin, Lee, Hyunwoo Kim and Taigon Song, “Reinforced Delivery Networks in VLSI Design for IR-drop Reduction,” International Conference on Design Automation (DATE), 2024
- Hyunsoo Lee, Minseung Shin, Gyuri Shin, Taigon Song, “High-throughput PIM (Processing in-Memory) for Sparse Matrix Multiplication,” International SoC Design Conference (ISOCC), 2023
- Minseung Shin, Jongbeom Kim, Yoonjeong Shin, Taigon Song, “Standard Cell Layout Compiler for 3nm GAA FET,” International SoC Design Conference (ISOCC), 2023
- HyunWoo Kim, Hyundong Lee, Yunjeong Go, Jongbeom Kim, Minyoung Jung, Hyodong Kim, Seongju Kim, Taigon Song, “A Novel Architecture for Channel-level Near-memory Processing in NVM-based SoCs,” International Symposium on Quality Electronic Design (ISQED), 2023
- MinSeok Han, Jiwan Kim, Donggeon Kim, Hyunsoo Lee, Yunjeong Go, HyunWoo Kim, Jongbeom Kim, Taigon Song, “A Novel Architecture for Channel-level Near-memory Processing in NVM-based SoCs,” International Symposium on Quality Electronic Design (ISQED), 2023

) for Ultra-miniaturized Standard Cell Designs Beyond
Designing and Utilizing Vertical Nanowire FET (V-NWFET)
on Nanotechnology 2019.

gryul Heo, Jieun Park, Hyundong Lee, Jongbeom Kim,
sheet FET Technology Library and a Study of VLSI
nal Symposium on Circuits & Systems (ISCAS 24), 2024
MinSeok Han, Yunjeong Go, Jongbeom Kim, Hyundong
ment Learning-Based Optimization of Back-side Power
Reduction,” Design, Automation and Test in Europe

Sumin Jeon, Hyundong Lee and Taigon Song,
DRAM using Bank-level Pipelined Architecture,” IEEE
3 (AI Semiconductor Forum Award)

n and Taigon Song, “A Compact Q-Learning-Based
FET and Beyond,” IEEE International SoC Design

gbeom Kim, Seungwon Baek, Jaehong Song, Junhyeon
and Taigon Song, ” Cache Register Sharing Structure
AND Flash Memory,” 24th International Symposium on

uk Jeong, Gilho Jung, Myeongwon Oh, Hyundong Lee,
a, and Taigon Song, ” HFGCN: High-speed and

Fully-optimized GCN Accelerator,” 24th International Symposium on VLSI Design and Technology (VLSI Design and Technology 2023)

- HyunWoo Kim, Seungwon Baek, Jaehong Song, Joonhyuk Kim, and Taigon Song, “A Novel Processing Unit for NAND Flash Memory,” IEEE 19th International Symposium on VLSI Design and Technology (VLSI Design and Technology Award)

04

특허 및 등록출원 현황

□ 국내특허 출원 및 등록

- 메모리스터를 이용한 펄스 발생 방법, 이를 수행하기 위한 기록 매체 및 장치
- T-CMOS 기반의 3차 논리회로 설계 방법, 이를 수행하기 위한 장치
- 초저전력 소비를 위한 스파이킹 뉴럴 네트워크(SNN) 하드웨어의 구조
- 메모리스터와 MOSFET을 이용한 3진법 논리 설계 방법, 이를 수행하는 장치
- PMOS 및 AAT를 이용한 3진 논리 게이트 설계 방법 및 이를 수행하기 위한 장치
- 공핍모드 및 다중 문턱전압을 갖는 MOSFET을 사용하는 3진법 논리회로 설계 방법, 이를 수행하기 위한 장치
/10-2022-0090310/ 2022.07.21.

□ 국제특허 출원 및 등록

- METHOD OF DESIGNING TERNARY LOGIC CIRCUIT USING MEMORY DEVICE AND RECORDING MEDIUM FOR PERFORMING THE S

onal Symposium on Quality Electronic Design (ISQED),

unhyeon Kim, Minyoung Jung, Hyodong Kim, Seongju
nit and Architecture for Process-In Memory (PIM) in
oC Conference (ISOCC), 2022 (IEEE CAS Seoul Chapter

매체 및 장치 /10-2689274/ 2024-07-24

기록 매체 및 장치 /10-2488540/ 2023.01.10.

의 동작 방법, 이를 수행하기 위한 회로/10-2515089/ 2023.03.23

기 위한 기록 매체 및 장치/10-2521515/ 2023.04.10

위한 장치 및 기록 매체 /10-2022-0090304/ 2022.07.21.

논리 회로 설계 방법 및 이를 수행하기 위한 장치 및 기록 매체

G MOSFETS HAVING DEPLETION-MODE AND MULTI-VTHS, AND
SAME/US 18/096,344/2023.1.12.

취업		
산업체 및 연구소		
삼성	LG	
8	1	

구분		
	진학	
기타	국내	국외
5	3	1

